



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001117650 A**(43) Date of publication of application: **27.04.01**

(51) Int. Cl.

G05F 1/56**G05F 3/26****H02J 1/00**(21) Application number: **2000221725**(22) Date of filing: **24.07.00**(30) Priority: **06.08.99 JP 11224511**(71) Applicant: **RICOH CO LTD**(72) Inventor: **MANABE SHINYA
YOSHII KOJI**(54) **FIXED VOLTAGE POWER SOURCE**

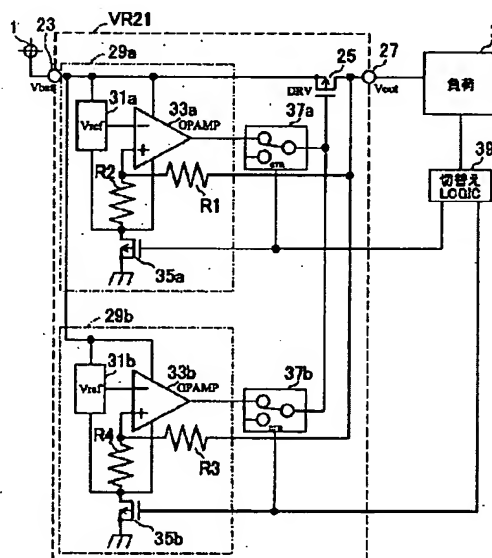
simultaneously turned on at mode switching.

(57) Abstract:

COPYRIGHT: (C)2001,JPO

PROBLEM TO BE SOLVED: To provide a fixed voltage power source for controlling current to be consumed by a VR, according to the state of a load.

SOLUTION: This fixed voltage power source is provided with a high-speed voltage stabilizing part 29a equipped with an operating amplifier 33a, whose current consumption is large and a low speed voltage stabilizing part 29b equipped with an operating amplifier 33b whose current consumption is small. The output terminal of the operating amplifier 33a is connected through a switching means 37a, and the output terminal of the operating amplifier 33b is connected via a switching means 37b with the gate electrode of an output transistor 25. The switching means 37a and 37b are controlled by a switching-logic circuit 39, and when a load 3 is in an active mode, the high-speed voltage stabilizing part 29a is turned on, and when the load 3 is in a sleep mode, the low-speed voltage stabilizing part 29b is turned on. The switching logic circuit 39 generates a block in which the high speed voltage stabilizing part 29a and the low speed voltage stabilizing part 29b are



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-117650

(P2001-117650A)

(43) 公開日 平成13年4月27日 (2001.4.27)

(51) Int.Cl. ⁷	識別記号	F I	テ-リ-ト* (参考)
G 0 5 F 1/56	3 1 0	G 0 5 F 1/56	3 1 0 V
			3 1 0 K
			3/26
H 0 2 J 1/00	3 0 7	H 0 2 J 1/00	3 0 7 F

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2000-221725(P2000-221725)

(22) 出願日 平成12年7月24日 (2000.7.24)

(31) 優先権主張番号 特願平11-224511

(32) 優先日 平成11年8月6日 (1999.8.6)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 真鍋 晋也

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(72) 発明者 吉井 宏治

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(74) 代理人 100085464

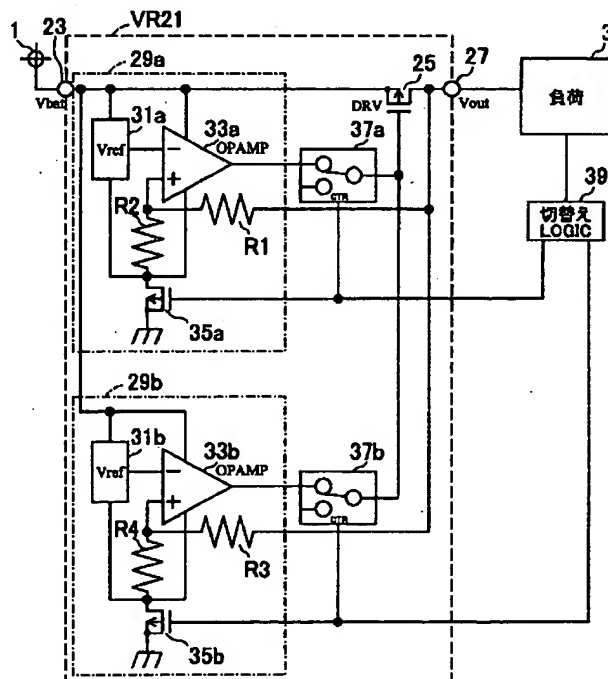
弁理士 野口 繁雄

(54) 【発明の名称】 定電圧電源

(57) 【要約】

【課題】 負荷の状態に応じてVRで消費する電流を制御することができる定電圧電源を提供する。

【解決手段】 VR21には、消費電流が大きいオペアンプ33aを備えた高速電圧安定部29aと、消費電流が小さいオペアンプ33bを備えた低速電圧安定部29bが設けられている。オペアンプ33aの出力端子は切替え手段37aを介して、オペアンプ33bの出力端子は切替え手段37bを介して、出力トランジスタ25のゲート電極に接続されている。切替え手段37a、37bは、切替え論理回路39により制御され、負荷3がアクティブモードのときは高速電圧安定部29aがオンになり、負荷3がスリープモードのときは低速電圧安定部29bがオンになる。切替え論理回路39は、モード切替えの際、高速電圧安定部29a及び低速電圧安定部29bが同時にオンする区間を生成する。



【特許請求の範囲】

【請求項1】 動作状態と待機状態との切替えを有する負荷に電源を供給する定電圧電源において、

第1のオペアンプの一方の入力端子に基準電圧を印加し、他方の入力端子には出力電圧を分圧した電圧を印加し、その第1のオペアンプの出力により出力トランジスタを制御する第1の定電圧回路と、

第2のオペアンプの一方の入力端子に基準電圧を印加し、他方の入力端子には出力電圧を分圧した電圧を印加し、その第2のオペアンプの出力により前記出力トランジスタを制御する第2の定電圧回路とを備え、第2の定電圧回路は第1の定電圧回路に比べて消費電流が少なくなるように構成されており、かつ、

それぞれのオペアンプごとに設けられオペアンプの出力端子と前記出力トランジスタとの接続を切り替える切替え手段と、

前記負荷が動作状態のときは第1の定電圧回路のオペアンプが前記出力トランジスタに接続されており、前記負荷が待機状態のときは第2の定電圧回路のオペアンプが前記出力トランジスタに接続されているように前記切替え手段を制御する切替え論理回路とを備えた定電圧電源。

【請求項2】 第1のオペアンプと第2のオペアンプは同じ回路構成をなし、第1のオペアンプは第2のオペアンプよりも電流供給能力の大きいトランジスタを使用している請求項1に記載の定電圧電源。

【請求項3】 第1のオペアンプは第2のオペアンプに比べて出力段に電流供給能力の大きいバッファトランジスタを備えている請求項1に記載の定電圧電源。

【請求項4】 前記切替え論理回路は、前記負荷の状態が切り替わった後、両方の定電圧回路のオペアンプがともに前記出力トランジスタに接続されている期間が存在するように、前記切替え手段を制御する請求項1から3のいずれかに記載の定電圧電源。

【請求項5】 第1の定電圧回路及び第2の定電圧回路にはそれぞれ貫通電流を断続する断続回路が設けられており、

前記切替え論理回路は、前記負荷が動作状態のときは第1の定電圧回路の断続回路がオン、第2の定電圧回路の断続回路がオフとなり、前記負荷が待機状態のときは第1の定電圧回路の断続回路がオフ、第2の定電圧回路の断続回路がオンとなるように前記断続回路も制御する請求項1から3のいずれかに記載の定電圧電源。

【請求項6】 前記切替え論理回路は、前記負荷の状態が切り替わった後、両方の定電圧回路のオペアンプがともに前記出力トランジスタに接続されており、かつ両方の定電圧回路の断続回路がともにオンとなっている期間が存在するように、前記切替え手段及び前記断続回路を制御する請求項5に記載の定電圧電源。

【請求項7】 動作状態と待機状態との切替えを有する

負荷に電源を供給するために、オペアンプの一方の入力端子に基準電圧を印加し、他方の入力端子には出力電圧を分圧した電圧を印加し、そのオペアンプの出力により出力トランジスタを制御する1個の定電圧回路を備えた定電圧電源において、

前記オペアンプの電流経路に設けられた電流容量の異なる2つのトランジスタからなる並列回路と、

前記負荷が動作状態のときは前記並列回路のトランジスタは電流容量の大きい方のトランジスタがオンとなっており、前記負荷が待機状態のときは前記並列回路のトランジスタは電流容量の小さい方のトランジスタがオンとなっているように前記並列回路を制御する切替え論理回路とを備えた定電圧電源。

【請求項8】 前記切替え論理回路は、前記負荷の状態が切り替わった後、前記並列回路の両方のトランジスタがともにオンとなっている期間が存在するように、前記並列回路を制御する請求項7に記載の定電圧電源。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、定電圧電源に関し、特に、動作状態と待機状態との切替えを有する負荷に電源を供給する定電圧電源に関するものである。

【0002】

【従来の技術】 携帯電話等の電源として、定電圧回路 (Voltage Regulator、以下、VRと略記する) を備えて安定した電圧を供給する定電圧電源が使用されている。定電圧電源は、PSRR (リップル除去率) 及び負荷過渡応答性を向上させるべく、消費電流が大きい定電圧回路 (高速VR) を備えている。そのため、例えば携帯電話など、負荷がアクティブモード (動作状態) とスリープモード (待機状態) とを有する機器に適用された場合、高いPSRR及び負荷過渡応答性を必要としないスリープモードでは消費電流の無駄が大きくなる。そこで、高速VRと、PSRR及び負荷過渡応答性は劣るが、消費電流を抑制したVR (低速VR) とを備え、負荷の状態に応じてVRを切り替える機能を有する定電圧電源が考えられる。低速VRでは、消費電流の抑制によりPSRRや負荷過渡応答性は低下するが、負荷がスリープモードでは問題はない。

【0003】 高速VRと低速VRとを備えた定電圧電源を構成しようとすると、図1の構成が考えられる。電源1からの電源を負荷3に安定して供給すべく、高速VR 5aと低速VR 5bが設けられている。例えば高速VR 5aと低速VR 5bはトランジスタのサイズは異なるが同じ構成をもち、高速VR 5aでは電流供給能力が大きいトランジスタのサイズが用いられている。高速VR 5aと低速VR 5bは、電源1が接続される入力端子 (Vbat) 7a又は7b、基準電圧部 (Vref) 9a又は9b、オペアンプ (OPAMP) 11a又は11b、PチャネルMOSトランジスタからなる出力トランジスタ

タ (DRV) 13a 又は 13b、分圧抵抗 R1、R2 又は R3、R4 及び出力端子 (Vout) 15a 又は 15b を備えている。

【0004】高速 VR5a のオペアンプ 11a では、出力端子が出力トランジスタ 13a のゲート電極に接続され、反転入力端子に基準電圧部 9a から基準電圧 Vref が印加され、非反転入力端子に出力電圧 Vout を抵抗 R1 と R2 で分圧した電圧が印加され、出力電圧 Vout が抵抗 R1 と R2 により分圧された電圧が基準電圧に等しくなるように制御される。

【0005】破線でそれぞれ囲まれた高速 VR5a と低速 VR5b は、別々のチップ上に形成されている。高速 VR5a と低速 VR5b の出力端子 15a、15b は、切替え手段 17 を介して、負荷 3 に接続される。負荷 3 は、消費電流が数十 mA のアクティブモードと数十 μ A のスリープモードの切替えを有する。負荷 3 には、切替え手段 17 に切替え信号を出力する切替え論理回路 (切替え LOGIC) 19 が接続されている。切替え論理回路 19 は、負荷 3 がアクティブモードのときには切替え信号 "H" を、スリープモードのときには切替え信号 "L" を切替え手段 17 に出力する。切替え手段 17 は、切替え信号 "H" が入力されると高速 VR5a の出力端子 15a と負荷 3 を接続し、切替え信号 "L" が入力されると低速 VR5a の出力端子 15b と負荷 3 を接続する。このようにして、負荷 3 の状態に応じて高速 VR5a 又は低速 VR5b を選択する。高速 VR5a 及び低速 VR5b は非選択時にはスタンバイ状態になり、そのときの消費電流は 1 μ A 以下である。このように、負荷 3 がアクティブモードのときは高速 VR5a を選択し、スリープモードのときは低速 VR5b を選択することにより、消費電流を抑制することができる。

【0006】

【発明が解決しようとする課題】しかし、図 1 の構成では、高速 VR5a と低速 VR5b の切替えにおいて、高速 VR5a、低速 VR5b 及び切替え手段 17 を 1 チップに搭載する場合、大きな面積を必要とする 2 個の出力トランジスタ 13a、13b が必要である。また、切替え手段 17 は、出力トランジスタ 13a、13b と同等の電流を流せる能力が必要であるので、低抵抗にするために大きな面積を必要とする。このように、切替え手段を含んで 1 チップにする場合にはチップ面積が増大する。そこで本発明は、上記のような不具合を生じることなく、負荷の状態に応じて VR で消費する電流を抑制することができる定電圧電源を提供することを目的とするものである。

【0007】

【課題を解決するための手段】本発明の第 1 の局面は、動作状態と待機状態との切替えを有する負荷に電源を供給する定電圧電源であって、第 1 のオペアンプの一方の入力端子に基準電圧を印加し、他方の入力端子には出力

電圧を分圧した電圧を印加し、その第 1 のオペアンプの出力により出力トランジスタを制御する第 1 の定電圧回路と、第 2 のオペアンプの一方の入力端子に基準電圧を印加し、他方の入力端子には出力電圧を分圧した電圧を印加し、その第 2 のオペアンプの出力により第 1 の定電圧回路と共通の前記出力トランジスタを制御する第 2 の定電圧回路とを備え、第 2 の定電圧回路は第 1 の定電圧回路に比べて消費電流が少なくなるように構成されており、かつ、それぞれのオペアンプごとに設けられオペアンプの出力端子と前記出力トランジスタとの接続を切り替える切替え手段と、負荷が動作状態のときは第 1 の定電圧回路のオペアンプが前記出力トランジスタに接続されており、負荷が待機状態のときは第 2 の定電圧回路のオペアンプが前記出力トランジスタに接続されているように切替え手段を制御する切替え論理回路とを備えたものである。

【0008】負荷が動作状態のときは第 1 のオペアンプの出力により出力トランジスタを制御し、負荷が待機状態のときは消費電流が少ない第 2 のオペアンプの出力により出力トランジスタを制御するようにしたので、消費電流を抑制することができる。さらに、出力トランジスタは第 1 の定電圧回路と第 2 の定電圧回路とで共通なので、1 チップにする場合のチップ面積の増大を抑制することができる。さらに、切替え手段は出力トランジスタを制御する制御信号の接続及び切断の切替えを制御するものなので小さな面積で実現することができ、2 個の切替え手段を設けるとしても、1 チップにする場合にチップ面積が増大する程度を抑制することができる。

【0009】本発明の第 2 の局面は、動作状態と待機状態との切替えを有する負荷に電源を供給するために、オペアンプの一方の入力端子に基準電圧を印加し、他方の入力端子には出力電圧を分圧した電圧を印加し、そのオペアンプの出力により出力トランジスタを制御する 1 個の定電圧回路を備えた定電圧電源であって、オペアンプの電流経路に設けられた電流容量の異なる 2 つのトランジスタからなる並列回路と、負荷が動作状態のときは並列回路のトランジスタは電流容量の大きい方のトランジスタがオンとなっており、負荷が待機状態のときは並列回路のトランジスタは電流容量の小さい方のトランジスタがオンとなっているように並列回路を制御する切替え論理回路とを備えたものである。

【0010】定電圧回路の消費電流を負荷が動作状態のときは大きくし、負荷が待機状態のときは小さくするようにしたので、消費電流を抑制することができる。さらに、オペアンプ及び出力トランジスタを 1 組しか備えていないので、1 チップにする場合のチップ面積の増大をさらに抑制することができる。

【0011】

【発明の実施の形態】本発明の第 1 の局面において、第 1 の定電圧回路と第 2 の定電圧回路の消費電流を異なら

せるために、第1のオペアンプと第2のオペアンプは同じ回路構成をなし、第1のオペアンプは第2のオペアンプよりも電流供給能力の大きいトランジスタを使用していることが好ましい。その結果、第1のオペアンプ及び第2のオペアンプ、ひいては定電圧電源の構成が簡単になる。

【0012】また、第1の局面において、第1の定電圧回路と第2の定電圧回路の消費電流を異ならせるために、第1のオペアンプは第2のオペアンプに比べて出力段に電流供給能力の大きいバッファトランジスタを備えていることが好ましい。その結果、第1のオペアンプと第2のオペアンプはバッファトランジスタを除いた部分を同一とすることができ、製造が容易になる。

【0013】図1の構成では、高速VR5aと低速VR5bの切替え時に、負荷3の電源となる切替え手段17の出力にノイズが発生し、そのノイズは、負荷3がリセットと認識するなどの誤動作を生じさせる原因となる。そこで第1の局面において、切替え論理回路は、負荷の状態が切り替わった後、両方の定電圧回路のオペアンプがともに出力トランジスタに接続されている期間が存在するように、切替え手段を制御することが好ましい。その結果、定電圧回路切替え時において、出力レベルが大きく変動するノイズを抑制することができる。

【0014】第2の局面においても、切替え論理回路は、負荷の状態が切り替わった後、並列回路の両方のトランジスタがともにオンとなっている期間が存在するように、並列回路を制御することが好ましい。その結果、並列回路切替え時において、出力レベルが大きく変動するノイズを抑制することができる。

【0015】また、第1の局面において、第1の定電圧回路及び第2の定電圧回路にはそれぞれ貫通電流を断続する断続回路が設けられており、切替え論理回路は、負荷が動作状態のときは第1の定電圧回路の断続回路がオン、第2の定電圧回路の断続回路がオフとなり、負荷が待機状態のときは第1の定電圧回路の断続回路がオフ、第2の定電圧回路の断続回路がオンとなるように断続回路も制御することが好ましい。その結果、第1、第2の定電圧回路の非選択時における消費電流をさらに抑制することができる。

【0016】

【実施例】図2は、第1の局面の一実施例を示す回路図である。電源1からの電源を携帯電話等の負荷3に安定して供給すべく、VR21が備えられている。電源1は、VR21に設けられた入力端子(Vbat)23に接続されている。入力端子23は、PチャネルMOSトランジスタからなる出力トランジスタ(DRV)25を介して、出力端子(Vout)27に接続されている。VR21には、消費電流は大きいPSRR及び負荷過渡応答性のよい高速電圧安定部29aと、PSRR及び負荷過渡応答性は劣るが消費電流の小さい低速電圧安定

部29bが並列に設けられている。ここで高速電圧安定部29aにおいては低速電圧安定部29bにより電流供給能力が大きいトランジスタのサイズが用いられている。この場合、高速電圧安定部29aと低速電圧安定部29bとでは回路構成は同じだが、オペアンプに流す電流の大きさの違いにより応答性が異なり、高速電圧安定部29aの方が低速電圧安定部29bよりも応答性が速い。

【0017】高速電圧安定部29aにはオペアンプ(OPAMP)33aが備えられている。オペアンプ33aの出力端子は、VR21に設けられた切替え手段37aを介して、出力トランジスタ25のゲートに接続されている。オペアンプ33aの反転入力端子にはツェナーダイオードなどにてなる基準電圧部(Vref)31aから基準電圧が印加され、非反転入力端子には出力トランジスタ25の出力電圧を分圧抵抗R1とR2で分圧した電圧が印加される。オペアンプ33a及び基準電圧部31aの電源は電源1から供給される。オペアンプ33a、基準電圧部31a及び抵抗R2のグラウンド側の端子とグラウンド間には、貫通電流のオン・オフを制御する断続回路35aとしてのPチャネルMOSトランジスタが介在している。

【0018】低速電圧安定部29bは高速電圧安定部29aと同じ構成をもち、基準電圧部31b、オペアンプ33b、断続回路35b、抵抗R3、R4が、基準電圧部31a、オペアンプ33a、断続回路35a、抵抗R1、R2に対応して設けられている。オペアンプ33bの出力端子は、VR21に設けられた切替え手段37bを介して、出力トランジスタ25のゲートに接続されている。オペアンプ33bはオペアンプ33aよりも消費電流が小さく、低速電圧安定部29bは高速電圧安定部29aよりもPSRR及び負荷過渡応答性が劣る構造になっている。

【0019】負荷3には、切替え手段37a、37bに切替え信号を出力する切替え論理回路(切替えLOGIC)39が接続されている。切替え手段37a、37bは、オペアンプ33a、33bの出力端子と出力トランジスタ25のゲート電極の接続及び切断を制御し、切替え信号"H"が入力されると接続し、切替え信号"L"が入力されると切断する。切替え論理回路39は、断続回路35a、35bにも接続されており、切替え手段37a、37bへの信号入力に対応して断続回路35a、35bの動作も制御する。この実施例において、破線で囲まれたVR21は1チップ上に形成されている。第1の定電圧回路は高速電圧安定部29a及び出力トランジスタ25により構成され、第2の定電圧回路は低速電圧安定部29b及び出力トランジスタ25により構成される。

【0020】図3は、高速電圧安定部29a及び低速電圧安定部29bの動作シーケンスを示す波形図である。

図2及び図3を参照してこの実施例の動作を説明する。負荷3がアクティブモード（動作状態）のときは、切替え論理回路39により切替え手段37a及び断続回路35aに切替え信号“H”が出力され、切替え手段37b及び断続回路35bに切替え信号“L”が出力される。このとき、切替え手段37a及び断続回路35aが接続されて高速電圧安定部29aはオンになり、切替え手段37b及び断続回路35bが切断されて低速電圧安定部29bはオフ（スタンバイ状態）になる。そして、出力トランジスタ25のゲート電極に印加される電圧は高速電圧安定部29aにより制御される。スタンバイ状態における低速電圧安定部29bの消費電流は1 μ A以下である。

【0021】負荷3がスリープモード（待機状態）のときは、切替え論理回路39により切替え手段37a及び断続回路35aに切替え信号“L”が出力され、切替え手段37b及び断続回路35bに切替え信号“H”が出力される。このとき、切替え手段37a及び断続回路35aが切断されて高速電圧安定部29aはオフになり、切替え手段37b及び断続回路35bが接続されて低速電圧安定部29bはオンになる。そして、出力トランジスタ25のゲート電極に印加される電圧は低速電圧安定部29bにより制御される。スタンバイ状態における高速電圧安定部29aの消費電流は1 μ A以下である。

【0022】図3に示すように、動作モード切替え時には、切替え論理回路39は、出力トランジスタ25の動作を制御する高速電圧安定部29a及び低速電圧安定部29bが同時にオンする区間を生成する。負荷3がアクティブモードからスリープモードに入るとき、負荷3は切替え論理回路39にモード切替え信号を送信し、それに伴って切替え論理回路39は、低速電圧安定部29bをオンにし、その後所定の時間が経過した後、高速電圧安定部29aをオフにして、低速電圧安定部29bによる制御へ切り替える。これにより、高速電圧安定部29aは非選択で、スタンバイ状態になる。

【0023】負荷3がスリープモードからアクティブモードに入るとき、負荷3は切替え論理回路39にモード切替え信号を送信し、それに伴って切替え論理回路39は、高速電圧安定部29aをオンにし、その後所定の時間が経過した後、低速電圧安定部29bをオフにして、高速電圧安定部29aによる制御へ切り替える。これにより、高速電圧安定部29bは非選択で、スタンバイ状態になる。このようにして、低速電圧安定部29b→高速電圧安定部29a、高速電圧安定部29a→低速電圧安定部29bの切替え時に同時オン状態を作ることにより、切替え時におけるVout出力の大幅な変動に伴うノイズを抑えることができる。

【0024】さらにこの実施例によれば、切替え前後の出力電圧差を小さくできる。この実施例の出力電圧差を図1の構成と比較する。図1の構成における出力電圧差

はVrefオフ（基準電圧オフセット電圧）+Rオフ（抵抗オフセット電圧）+OPAMPオフ（オペアンプオフセット電圧）+DRVオフ（出力トランジスタオフセット電圧）である。それに対し、この実施例における出力電圧差は、Vrefオフ+Rオフ+OPAMPオフである。すなわち、出力電圧差を出力トランジスタのオフセット電圧分だけ小さくすることができる。さらに、1チップにする場合、出力トランジスタが1つだけなので、図1の構成に比べて小面積で実現可能となる。さらに、切替え手段37a、37bは、出力トランジスタのゲート電極の制御電圧を接続及び切断するものなので大電流を流す必要がなく、小面積で実現できる。

【0025】図2の実施例では、トランジスタのサイズを変えることにより高速電圧安定部29aと低速電圧安定部29bのPSRR及び負荷過渡特性を設定しているが、本発明はこれに限定されるものではなく、分圧抵抗（帰還抵抗）R1、R2とR3、R4の抵抗値の設定により高速電圧安定部29aと低速電圧安定部29bの消費電流、すなわちPSRR及び負荷過渡特性を設定するようにしてもよい。これにより、スリープモード（待機状態）の出力電圧を変化させることができる。

【0026】また、高速電圧安定部用のオペアンプと低速電圧安定部用のオペアンプの回路構成を異ならせることによりPSRR及び負荷過渡特性を設定することもできる。図4はオペアンプを示し、（A）は高速電圧安定部用のもの、（B）は低速電圧安定部用のものを示す。これらのオペアンプを備えた定電圧電源の他の部分の構成は図2の実施例と同じである。ただし、本発明を構成するオペアンプはこれに限定されるものではなく、差動増幅回路を含むものであれば適用することができる。

【0027】（A）を参照して高速電圧安定部用のオペアンプについて説明する。一対の差動入力用NMOSTランジスタNCH3、NCH4のドレインがそれぞれPMOSTランジスタPCH1、PCH2を介して電源1に接続されている。PMOSTランジスタPCH1、PCH2のゲート電極が相互に接続され、いずれか一方の入力用NMOSTランジスタ、例えばNCH3のドレインに接続されることにより、PMOSTランジスタPCH1、PCH2が負荷の役割を果たしている。入力用NMOSTランジスタNCH3のゲート電極には基準電圧部31aの電位が入力され、入力用NMOSTランジスタNCH4のゲート電極には帰還抵抗電位（分圧抵抗R1、R2による電位）が入力される。入力用NMOSTランジスタNCH3、NCH4のソースは相互に接続され、NMOSTランジスタNCH7を介して断続回路35aに接続されている。NMOSTランジスタNCH7のゲート電極は基準電圧部31aに接続されている。

【0028】バッファ回路を構成するPMOSTランジスタPCH8が設けられており、そのソースが電源1に接続されている。PMOSTランジスタPCH8のゲー

ト電極はPMOSTランジスタPCH2、NMOSTランジスタNCH4間の接続点NODE1に接続されている。PMOSTランジスタPCH8のドレインは、NMOSTランジスタNCH9を介して断続回路35aに接続され、NMOSTランジスタNCH9のゲート電極は基準電圧部31aに接続されている。PMOSTランジスタPCH8とNMOSTランジスタNCH9の接続点NODE2がこのオペアンプの出力端子となって切替え手段37aに接続されている。

【0029】この高速電圧安定部用のオペアンプの動作を説明する。帰還抵抗入力の電圧、すなわちNMOSTランジスタNCH4のゲート電圧が上がると、NMOSTランジスタNCH4を流れる電流量が増加し、接続点NODE1の電圧が下がり、PMOSTランジスタPCH8のゲート電圧が下がり、PMOSTランジスタPCH8を流れる電流量が増加し、接続点NODE2での電流量も増加する。ここで、NMOSTランジスタNCH9のゲート電圧は基準電圧部31aからの一定電位であり、NMOSTランジスタNCH9のオン抵抗は一定なので、接続点NODE2において電流量が増加すると電圧が上昇する。すなわち、帰還抵抗入力の電圧が上がるとオペアンプの出力も上がる。

【0030】帰還抵抗入力の電圧、すなわちNMOSTランジスタNCH4のゲート電圧が下がると、NMOSTランジスタNCH4を流れる電流量が減少し、接続点NODE1の電圧が上がり、PMOSTランジスタPCH8のゲート電圧が上がり、PMOSTランジスタPCH8を流れる電流量が減少し、接続点NODE2での電流量も減少する。NMOSTランジスタNCH9のオン抵抗は一定なので、接続点NODE2において電流量が減少すると電圧が下がる。すなわち、帰還抵抗入力の電圧が下がるとオペアンプの出力も下がる。

【0031】次に、(B)を参照して低速電圧安定部用のオペアンプについて説明する。PMOSTランジスタPCH1、PCH2及びNMOSTランジスタNCH3、NCH4、NCH7は(A)のものと同じサイズで、同様の構成で配置され接続されている。このオペアンプでは、PMOSTランジスタPCH1とPCH2のゲート電極がPMOSTランジスタPCH2とNMOSTランジスタNCH4の接続点NODE3に接続され、PMOSTランジスタPCH1、NMOSTランジスタNCH3間に設けられた接続点NODE4が出力端子となって切替え手段37aに接続されている。このオペアンプでは(A)におけるバッファ回路のPMOSTランジスタPCH8とNMOSTランジスタNCH9は設けられていない。

【0032】この低速電圧安定部用のオペアンプの動作を説明する。帰還抵抗入力の電圧、すなわちNMOSTランジスタNCH4のゲート電圧が上がると、NMOSTランジスタNCH4を流れる電流量が増加し、接続点

NODE3の電圧が下がり、PMOSTランジスタPCH1、PCH2のゲート電圧が下がり、PMOSTランジスタPCH1、PCH2を流れる電流量が増加し、接続点NODE4での電流量が増加する。ここで、NMOSTランジスタNCH3、NCH7のゲート電圧は基準電圧部31bからの一定電位であり、NMOSTランジスタNCH3、NCH7のオン抵抗は一定なので、接続点NODE4において電流量が増加すると電圧が上昇する。すなわち、帰還抵抗入力の電圧が上がるとオペアンプの出力も上がる。

【0033】帰還抵抗入力の電圧、すなわちNMOSTランジスタNCH4のゲート電圧が下がると、NMOSTランジスタNCH4を流れる電流量が減少し、接続点NODE3の電圧が上がり、PMOSTランジスタPCH1、PCH2のゲート電圧が上がり、PMOSTランジスタPCH1、PCH2を流れる電流量が減少し、接続点NODE4での電流量が減少する。NMOSTランジスタNCH3、NCH7のオン抵抗は一定なので接続点NODE4において電流量が減少すると電圧が下がる。すなわち、帰還抵抗入力の電圧が下がるとオペアンプの出力も下がる。

【0034】(A)に示す高速電圧安定部用のオペアンプと(B)に示す低速電圧安定部用のオペアンプを比較すると、高速電圧安定部用のオペアンプにはバッファ回路としてのPMOSTランジスタPCH8が備えられており、帰還抵抗入力の変動に追従するNODE1における電位の変動をPMOSTランジスタPCH8により増幅してオペアンプ出力としている。これにより、高速電圧安定部用のオペアンプは低速電圧安定部用のオペアンプに比べてPSRR及び負荷過渡特性を向上させている。ただし、高速電圧安定部用のオペアンプの消費電流はPMOSTランジスタPCH8で消費される電流の分だけ、低速電圧安定部用のオペアンプに比べて大きくなる。

【0035】VRの消費電流は主としてオペアンプでの電流が占める。このため、この電流をシステムの状態により切り替えても同様の効果が得られる。図5は、第2の局面の一実施例を示す回路図であり、(A)は全体を示す回路図、(B)は(A)のオペアンプの構成を示す回路図である。電源1からの電源を負荷3に安定して供給すべく、VR41が備えられている。電源1は、VR41に設けられた入力端子(Vbat)43に接続され、入力端子43は、PチャネルMOSTランジスタからなる出力トランジスタ(DRV)45を介して、出力端子(Vout)47に接続されている。VR21にはオペアンプ(OPAMP)49が備えられており、オペアンプ49の出力端子は出力トランジスタ45のゲートに接続されている。オペアンプ49の反転入力端子には基準電圧部(Vref)51から基準電圧が印加され、非反転入力端子には出力トランジスタ25の出力電圧を

抵抗 R_1 と R_2 で分圧した電圧が印加され、その分圧された電圧が基準電圧と等しくなるように、出力電圧が制御される。オペアンプ33a及び基準電圧部31aの電源は電源1から供給される。

【0036】(B)を参照してオペアンプ49を詳細に説明する。一对の差動入力用NMOSトランジスタNCH3、NCH4のドレインがそれぞれPMOSトランジスタPCH1、PCH2を介して電源1に接続されている。PMOSトランジスタPCH1、PCH2のゲート電極が相互に接続され、いずれか一方の入力用NMOSトランジスタ、例えばNCH4のドレインに接続されることにより、PMOSトランジスタPCH1、PCH2が負荷の役割を果たしている。入力用NMOSトランジスタNCH3、NCH4のソースは相互に接続され、並列に接続されたNMOSトランジスタNCH5、NCH6を介して接地されている。NMOSトランジスタNCH5、NCH6は電流容量の異なるものであり、NMOSトランジスタNCH5を流れる電流 i_H の方がNMOSトランジスタNCH6を流れる電流 i_L よりも大きい。

【0037】NMOSトランジスタNCH5、NCH6のゲート電極をバイアス(BIAS)又は接地にそれぞれ独立して接続するスイッチSW1と、SW2を備えた切替え回路53が設けられている。負荷3には、切替え回路53に切替え信号を出力する切替え論理回路(切替えLOGIC)55が接続されている。切替え回路53は、切替え論理回路55からの信号に基づいて、CTL1入力が”H”でスイッチSW1をBIASへ接続し、”L”でGNDへ接続する。CTL2入力が”H”でスイッチSW2をBIASへ接続し、”L”で、GNDへ接続する。このようにして、NMOSトランジスタNCH5、NCH6のゲート電極への電圧印加を制御する。その制御により、NMOSトランジスタNCH5又はNCH6を選択することにより、オペアンプ49のバイアス電流を切り替えることができる。第2の局面の並列回路は、NMOSトランジスタNCH5、NCH6により構成され、切替え論理回路は、切替え回路53及び切替え論理回路55により構成される。この実施例において、破線で囲まれたVR41は1チップ上に形成されている。

【0038】次にこの実施例の動作を説明する。負荷3がアクティブモードのときは、切替え論理回路55により切替え回路53のCTR入力1に切替え信号”H”が出力され、CTR入力2に切替え信号”L”が出力される。このとき、NMOSトランジスタNCH5がオンになり、NMOSトランジスタNCH6がオフになり、オペアンプ49には大きなバイアス電流が流れ、PSRR及び負荷過渡応答性よく動作する。負荷3がスリープモードのときは、切替え論理回路55により切替え回路53のCTR入力1に切替え信号”L”が出力され、CT

R入力2に切替え信号”H”が出力される。このとき、NMOSトランジスタNCH5がオフになり、NMOSトランジスタNCH6がオンになり、オペアンプ49には小さなバイアス電流が流れ、消費電力を抑制する。

【0039】この実施例でも、図2の実施例と同様に、負荷3の状態が切り替わる時にはNMOSトランジスタNCH5及びNCH6を同時にオンにするように制御される。これにより、ノイズの発生を抑制することができる。さらにこの実施例でのオフセット電圧は、オペアンプ49のNMOSトランジスタNCH5、NCH6のオフセット電圧のみであり、切替え前後の出力電圧差をさらに小さくできる。さらに、基準電圧、抵抗及びオペアンプの一部も共通化できるので、さらに小面積にすることができる。

【0040】

【発明の効果】本発明の第1の局面にかかる定電圧電源は、消費電流は大きいリップル除去率や負荷過渡応答性の優れた第1の定電圧回路と、リップル除去率や負荷過渡応答性は劣るが消費電流が少ない第2の定電圧回路とを備え、出力トランジスタを共通にし、それぞれのオペアンプごとに、オペアンプの出力端子と出力トランジスタとの接続を切り替える切替え手段を備えて、切替え論理回路により切替え手段を制御して、負荷が動作状態のときは第1の定電圧回路のオペアンプが出力トランジスタに接続し、負荷が待機状態のときは第2の定電圧回路のオペアンプが出力トランジスタに接続するようにしたので、消費電流を抑制することができる。さらに、出力トランジスタは第1の定電圧回路と第2の定電圧回路とで共通なので、1チップにする場合のチップ面積の増大を抑制することができる。さらに、切替え手段は出力トランジスタのゲート電極に印加する電圧の接続及び切断の切替えを制御するものなので小さな面積で実現することができ、1チップにする場合にチップ面積が増大する程度を抑制することができる。

【0041】さらに、第1のオペアンプと第2のオペアンプは同じ回路構成をなし、第1のオペアンプは第2のオペアンプよりも電流供給能力の大きいトランジスタを使用するようにすると、第1のオペアンプ及び第2のオペアンプ、ひいては定電圧電源の構成が簡単になる。さらに、第1のオペアンプは第2のオペアンプに比べて出力段に電流供給能力の大きいバッファトランジスタを備えているようにすると、第1のオペアンプと第2のオペアンプはバッファトランジスタを除いた部分を同一とすることができるので、製造が容易になる。

【0042】さらに、切替え論理回路は、負荷の状態が切り替わる際、両方の定電圧回路のオペアンプがともに出力トランジスタに接続されている期間が存在するように、切替え手段を制御すると、定電圧回路切替え時に、ノイズを抑制することができる。さらに、第1の定電圧回路及び第2の定電圧回路にそれぞれ貫通電流を

断続する断続回路が設け、切替え論理回路は、負荷が動作状態のときは第1の定電圧回路の断続回路がオン、第2の定電圧回路の断続回路がオフとなり、負荷が待機状態のときは第1の定電圧回路の断続回路がオフ、第2の定電圧回路の断続回路がオンとなるように断続回路も制御するようにすると、第1又は第2の定電圧回路の非選択時における消費電流をさらに抑制することができる。

【0043】本発明の第2の局面にかかる定電圧電源は、オペアンプの電流経路に電流容量の異なる2つのトランジスタからなる並列回路を設け、負荷が動作状態のときは並列回路のトランジスタは電流容量の大きい方のトランジスタがオンとなっており、負荷が待機状態のときは並列回路のトランジスタは電流容量の小さい方のトランジスタがオンとなっているように並列回路を制御することにより、定電圧回路の消費電流を負荷が動作状態のときは大きくし、負荷が待機状態のときは小さくするようにしたので、消費電流を抑制することができる。この場合、オペアンプ及び出力トランジスタを1組しか備えていないので、1チップにする場合のチップ面積の増大を抑制することができる。さらに、この場合にも、切替え論理回路は、負荷の状態が切り替わった後、並列回路の両方のトランジスタがともにオンとなっている期間が存在するように、並列回路を制御するようにすると、並列回路切替え時において、出力トランジスタの出力のノイズを抑制することができる。

【図面の簡単な説明】

【図1】 高速VRと低速VRとを備えた予想される定電圧電源を示す回路図である。

【図2】 第1の局面の一実施例を示す回路図である。

【図3】 同実施例の高速電圧安定部及び低速電圧安定部の動作シーケンスを示す波形図である。

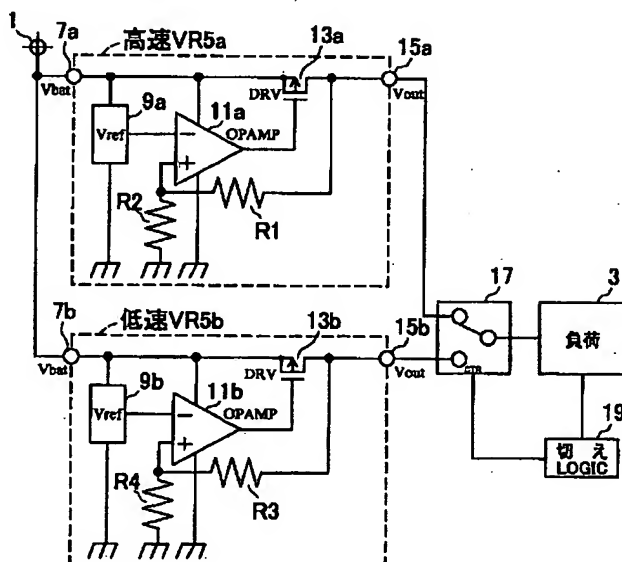
【図4】 同実施例の高速電圧安定部及び低速電圧安定部のオペアンプの構成例を示す回路図であり、(A)は高速電圧安定用のオペアンプ、(B)は低速電圧安定用のオペアンプを示す。

【図5】 第2の局面の一実施例を示す回路図である。

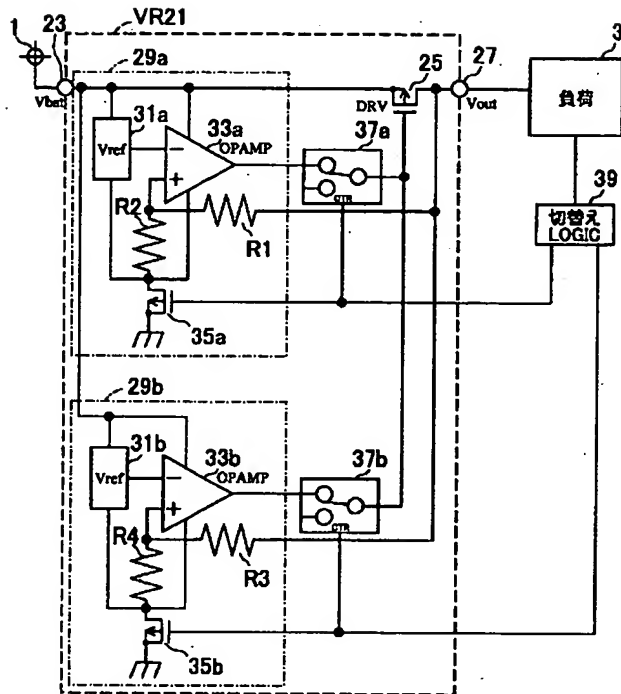
【符号の説明】

- 1 電源
- 3 負荷
- 21, 41 定電圧回路 (VR)
- 23, 43 入力端子
- 25, 45 出力トランジスタ
- 27, 47 出力端子
- 29a 高速電圧安定部
- 29b 低速電圧安定部
- 31a, 31b, 51 基準電圧部
- 33a, 33b, 49 オペアンプ
- 35a, 35b 断絶回路
- 37a, 37b 切替え手段
- 39, 55 切替え論理回路
- 53 切替え回路
- R1, R2, R3, R4 抵抗
- PCH1, PCH2 PMOSトランジスタ
- NCH3, NCH4 差動入力用NMOSトランジスタ
- PCH5, PCH6 NMOSトランジスタ
- SW1, SW2 スイッチ

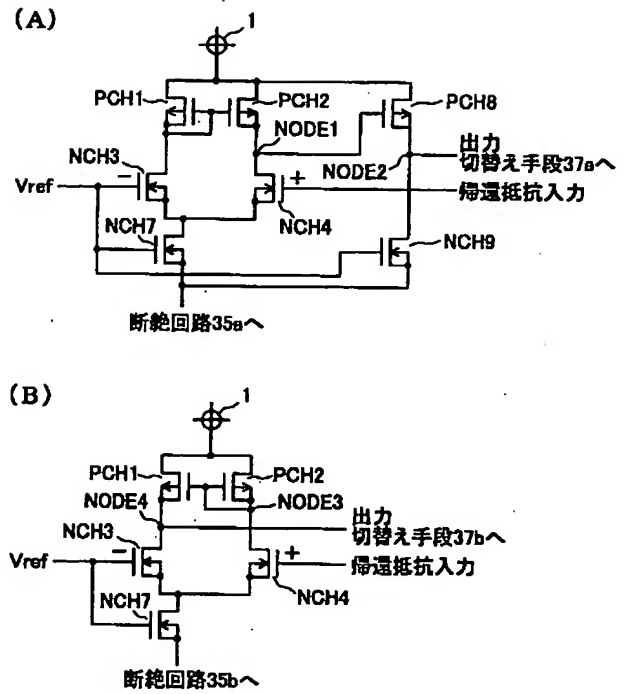
【図1】



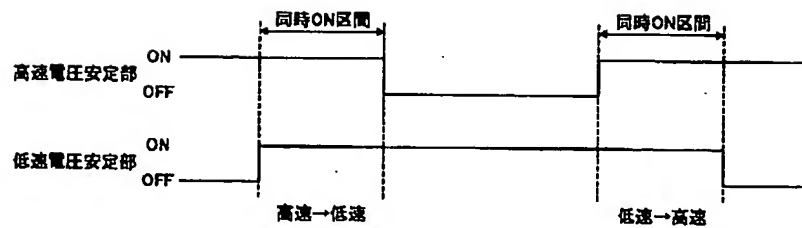
【図2】



【図4】



【図3】



【図5】

